

2 133 Mb/s DDR3 存储接口的物理设计

裴秉玺,李振涛,黄东昌,郭 阳
(国防科技大学 计算机学院,湖南 长沙 410073)

摘 要: 在 40 nm 工艺下完成了一款高性能 DSP 芯片中 DDR3 存储接口的物理设计,提出并实现了 DDR3 存储接口的布局规划、时钟树和时序收敛方法.在布局规划阶段,综合考虑了面积、时序等因素,确定了 DDR3 的布图形状大小以及内部宏单元、IO 单元的规划;在时序收敛阶段,分析了 DDR3 的时钟和路径结构,并针对关键路径进行精细的手工规划,提出并实现了自动化 skew 检查脚本框架,成功将各个 PHY 域内总线的偏差控制在 40 ps 以内.实验结果表明,此设计达到了频率 533 MHz、最大数据率 2 133 Mb/s 的目标.

关键词: DDR3;物理设计;时钟树;布局规划

中图分类号: TN47

文献标识码: A

文章编号: 1000—7180(2017)07—0079—05

Physical Design of 2 133 Mb/s DDR3 Memory Interface

PEI Bing-xi, LI Zhen-tao, HUANG Dong-chang, GUO Yang

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

Abstract: In this paper, we finish the physical design of DDR3 memory interface in a high-performance DSP chip base on 40 nm process, and the floorplan, clock tree and timing convergence method of DDR3 memory interface are proposed and implemented. In the floorplan stage, the layout size of DDR3 and the planning of macros, IO units are determined considering the factors such as area and timing. In the timing convergence stage, we analyze the clock and path structure of DDR3, and make precise manual planning for the critical path. we also realized the automation skew check script, controll the bus skew within 40 ps. The experimental results show that the design of this paper achieves the goal of frequency 533 MHz, maximum data rate 2 133 Mb/s.

Key words: DDR3; physical design; clock tree; floorplan

1 引言

DDR(Double Data Rate)是 JEDEC 组织于推出的 DRAM 接口规范,在高性能电子设备中得到广泛应用.随着数据存取带宽越来越高,DDR 的规范也进一步发展到 DDR2、LPDDR2、DDR3^[1]、LP-DDR3、DDR4,速率不断提高.

学术界和产业界对 DDR 接口电路做了一系列相关研究,解决了大量设计难题,推动了 DDR 技术的快速发展.文献[2-3]从系统层面上介绍了 DDR3 的设计与实现,并对设计做了验证;文献[4]介绍了 40nm 工艺下 DDR 物理层 IP 的设计,包括 DDR 物

理层架构、DLL 设计、IO 设计和物理实现;文献[5]使用 3D 技术设计了一款 DDR3 芯片,对比 2D 的 DDR3,性能大幅提升,功耗下降接近一半;Krovidy M 等人^[6]讨论了 DDR 静态时序分析中的方法学.

本文介绍了某型自主高性能 DSP 芯片 DDR3 存储接口的物理设计技术,提出并实现了 DDR3 存储接口的布局规划、时钟树和时序收敛方法.

2 DDR3 存储接口的布局规划

布局规划(floorplan)是物理设计的基础与起点,合理与否直接关系到模块的面积、拥挤度、电源

的稳定和时序收敛等,一个好的布局规划能减小模块的设计周期,并提高设计的性能^[7]DDR3 设计结构如图 1 所示.

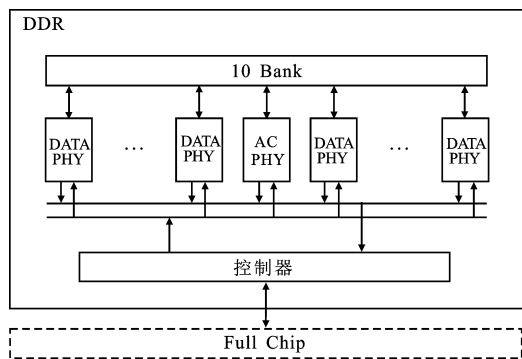


图 1 DDR3 设计结构

2.1 布图形状规划

布图形状确定的难点在于要考虑 DDR3 对于时钟 skew 的要求,因为 PHY 之间的时钟 skew 要求小于 100 ps,所以必须控制各个 PHY 域到时钟根节点的距离.依据设计经验,有两种不同的形状可供选择,即长条型和 L 型,本文采用长条型.此外,将控制器放在长条型 DDR3 PHY 的底部中间,便于与芯片顶层逻辑交互,最终确定布局规划形状近似 T 形.

2.2 DDR3 宏单元的规划

该 DDR3 中包含 10 个宏单元,9 个数据 PHY 和一个地址与控制 PHY (Address/Command PHY).基于布图设计与数据的流向,采用将 9 个数据 PHY 平均摊开,地址与控制 PHY 放到中间的布局方式.通过在内核区域切出相应面积大小的洞,将所有的宏单元放入相应的位置,宏单元的方向由 pin 脚确定,即连接 IO 的那一边 pin 脚正对着 IO 单元,连接标准单元的 pin 脚正对着标准单元区域,减少了线长;同时为了减少通过衬底传输过来的噪声,与标准单元之间预留了 10 μm 的空白区域.

2.3 Bump 与 IO 的规划

对于 Bump 的规划,难点在于从 Bump 到 IO 的线电阻要尽可能的小,即线长要尽可能的短.对于本文中的 DDR3 来说,先根据布图大小确定 Bump 的行数,然后将信号 Bump 根据 10 个 PHY 域对应地划分成 10 组,例如将 DQ[0:7] 八个信号 Bump 放在第一个 PHY 域,也就是第一组 Bump 中,DQ[8:15] 八个信号 Bump 放在第二组 Bump 中,以此类推.这样做的好处是从 Bump 向相应的 IO 走线时不会产生特别长的连线,其余的 Bump 位置用供电

Bump 填充.特别需要注意的是,为了尽可能减少时钟线的电阻,把 DQS/DQS_n 信号 Bump 放在每组 Bump 的中间位置.图 2 显示了本文对第二组 Bump 阵列的规划情况,该 Bump 阵列包含 14 个信号 Bump (dq[8:15]、pll_vss1/pll_vdd1、dm[1] 和 VREF).

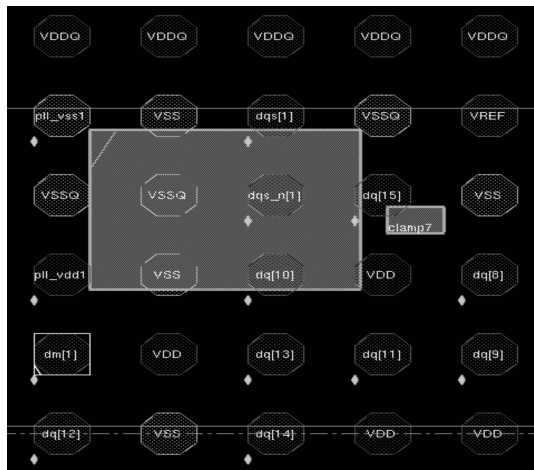


图 2 第二组 Bump 阵列的规划情况

DDR3 的 IO 按功能来分可以分为信号 IO 和电源 IO 两种,信号 IO 的布局需要依据前面 PHY 的布局来进行.对于数据 PHY 来说,DQS/DQS_n 是时钟信号,因此这两个信号 IO 需要放在数据 PHY 域的中间位置,8 个 DQ 信号 IO 分别放在 DQS/DQS_n IO 的两边,DM 信号放在 DQS/DQS_n IO 的一边,中间穿插电源 IO 来供电.而对于地址与控制 PHY 来说,CK/CK_b 是时钟信号,为了最小化时钟 skew,需要把 CK/CK_b IO 放在地址与控制 PHY 域的中间,其余的信号 IO 放在 CK/CK_b IO 的两边,中间穿插电源 IO 来供电.

3 DDR3 存储接口的时钟树设计与时序收敛

DDR3 存储接口包含了很多宏单元和 IO 单元,时钟结构比较复杂,分析 DDR3 的时钟路径结构有利于缩短时序的验证和收敛过程.DDR3 的时序收敛过程的难点是要根据设计文档的要求,使 PHY 之间、同一个 PHY 域总线之间的 skew 满足要求^[8].本文采用手动规划时钟、使用脚本自动化分析 skew 等方式达到了设计目标并加速了收敛过程.

3.1 DDR3 存储接口的时序要求

DDR3 存储接口的时序要求可以分为三个部分:控制器内部的时序要求、控制器与 PHY 之间的时序要求、PHY 与 IO 之间的时序要求,如图 3 所

示.一方面,芯片的时钟 ref_clk 由 CLK 端口进入,经过 MUX1 之后以同相位同周期分为两个时钟 mctl_clk 和 phy_clkO ,前者作为控制器内部的时钟和控制器与 PHY 接口寄存器的时钟,后者用作

PHY 内锁相环的输入时钟;另一方面,从 IO 进入的时钟 $\text{qs}[0:8]_{\text{clk}}$ 用作各个数据 PHY 与 IO 之间的数据交互.

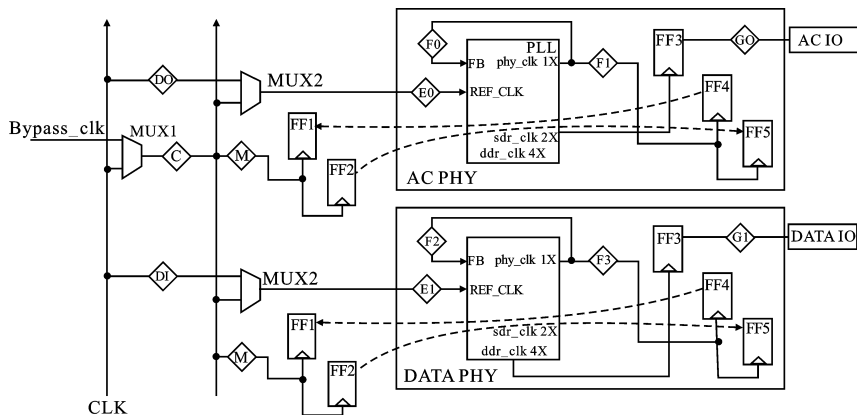


图3 DDR3 主要的时钟与路径结构

DDR3 存储接口的主要时序要求如下:

(1)控制器内部的时序要求.控制器内部的时钟树根节点在 MUX1 的输出端口,时钟为 ctl_clk .控制器内部的寄存器比较多,因此实现时钟树时应该尽可能地减小时钟偏差,避免在后续时序收敛过程中插入过多的 buffer 造成局部密度过大.

(2)控制器与 PHY 之间的时序要求.地址与控制 PHY 和数据 PHY 的时钟输入端口要和控制器—PHY 的接口寄存器 FF1 和 FF2 之间做平衡,即 $T(C) + T(M) = T(C) + T(\text{MUX2})$,如果不平衡,就可能造成控制器和 PHY 之间的 setup 或者 hold 违反.

(3)PHY 与 IO 之间的时序要求.PHY 与 IO 之间路径的要求是每个 PHY 到自身连接的 IO 之间的路径延迟要尽量地匹配.

3.2 DDR3 时钟树的规划

由于商用 EDA 工具所做的时钟树^[8]无法达到本文的要求,因此时钟树主干要手动规划,且物理设计期间需要进行多次迭代和 ECO 的工作.时钟树手动规划的步骤如下.

首先预布局 6 级时钟反相器将 ref_clk 送至版图中间,增加共同路径,在版图中间经逻辑分为两个时钟 phy_clkO 和 ctl_clk .

对于 phy_clkO ,由 MUX 的输出端分开两条线,一条经过 8 级时钟反相器走向左子树的根节点(左边 5 个 PHY 的中间),另一条经过同样数量的时钟反相器走向右子树的根节点(右边 5 个 PHY 的中间),然后左边的 5 个 PHY 的 clk 端口由左子

树根节点经 6 级时钟反相器连接过去,右边同理.由于每边的 5 个 PHY 到相应子树根结点的曼哈顿距离并不相等,所以 6 个反相器的位置要经过精确计算,使得 5 条线的长短一样.在将这些反相器加入到网表和版图后,设置它们之间线网的属性为多倍线宽的高层金属,尽量减少整个时钟树的延迟.

对于 ctl_clk ,由于设计并未对该时钟域下面的路径做出特殊要求,因此本文按照标准时钟树的要求(延时尽量短,skew 尽量小)来实现,设置好命令后交给 EDA 工具去实现.前文提到 ctl_clk 下面控制器-PHY 的接口寄存器和 PHY 内的寄存器存在跨时钟域的路径,因此要尽量减小 ctl_clk 和 phy_clkO 之间的 skew.根据工具实现的 ctl_clk 长度,在 phy_clkO 的主干上,即 LOGIC 处增减时钟反相器的数量来达到平衡,最终的时钟树结构如图 4 所示.图中的曲虚线代表时钟反相器数量、曼哈顿距离和延时都相等的路径,仅为表示路径平衡的目标,并不代表实际走线.

以上的时钟树规划保证了 PHY 之间的 skew 最小,经过时序验证最坏端角下 skew 为 48 ps,满足设计要求的 100 ps 以内.

3.3 DDR3 的时序收敛

经过前期的时钟树规划,内核区域的时序违反条数急剧减少,可以通过更换单元阈值、插入 buffer 单元等方式来消除剩余的违反.内核区域时序收敛后,DDR3 的时序收敛工作主要集中在 PHY 与 IO 之间.对于 PHY 与 IO 之间的线网,在物理设计时均设置为 special_net ,这样可以使 EDA 在优化时不

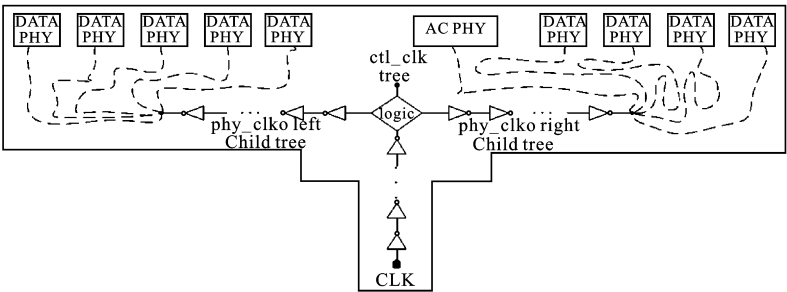


图 4 时钟树主干规划

会插入 buffer. 这部分的时序收敛工作难点在于如何从 PrimeTime 结果中快速检查线网之间的 skew, 因为 PrimeTime 的报告有很多个, 每个报告中的路径有成百上千条, 而且关键的数据需要从复杂的路径中去分析得出, 如果用人工手段从中一个个去查线延时, 并计算 skew 是一件非常费时费力、极易出错的事情, 搭建一个全自动化的检查流程可以节省很多人工时间并保证结果的正确性. 本文使用 perl 脚本实现了所需的自动化检查流程, 可以对 PrimeTime 结果进行处理, 快速得到各个 PHY 域内总线的延迟和 skew, 脚本框架如图 5 所示.

如果同一个 PHY 域的线网之间 skew < 40 ps, 则满足设计要求. 如果出现最小延迟值偏离平均延迟值过大, 则将最小延迟值的线网换做更低层、更窄的金属线, 或者通过绕线来增大延迟值; 反之, 则通

过换更高层金属、加宽金属线, 或者将线走到噪声更小的地方来减小延迟值. 通过自动化检查流程和相应的解决办法, 成功将各个 PHY 域内总线的 skew 控制在 40 ps 以内, 时序收敛前后对比如表 1 所示.

```
Input: PrimeTime report
Output: Bus latency && skew

For each corner
  Split PrimeTime report by path
  For each path
    If path match the regular expression
      Then grep the wire latency &
        push the pair <name, latency> into array L
    end For
  sort L by latency ascendingly
  n = L.size()
  Output L
  calculate skew = L[n-1].latency - L[0].latency
  Output skew
end For
```

图 5 skew 检查脚本框架

表 1 时序收敛前后各个 PHY 域的 skew 对比 ps

	数据 PHY									地址与控制 PHY
	DATA0	DATA1	DATA2	DATA3	DATA4	DATA5	DATA6	DATA7	DATA8	
时序收敛前 skew	45	35	44	29	46	43	32	31	32	64
时序收敛后 skew	26	35	32	29	27	29	32	31	31	39

4 设计结果与分析

经过前期的布局规划、时钟树规划和后期的布线与时序修复, 最终设计达到时序收敛, 经时序验证所有模式-端角下的建立时间和保持时间均满足设计要求, 且后仿验证功能正确.

时序收敛后, 本文对最终的设计做了一系列的分析, 包括功耗、电压降、电迁移、签核验证等等, 具体如表 2 所示. 最终设计长和高分别为 12 410 μm 和 2 990 μm, 去掉空白区域, 有效面积为 11. 18 mm². 最大电压降为 1. 96%, 满足设计要求的小于 2%, 且电压降较大的区域主要集中在地址与控制 PHY 对应的 IO 区域, 原因是由于地址与控制 PHY 对应的 IO 过多, 使得 IO 供电稍显不足. 最大电迁

移为 118%, 满足设计要求, 且较大的电迁移主要发生在 IO 内部的电源线上, 并不会对设计造成影响; 设计通过了等价性检查、DRC 和 LVS 验证, 并已提交流片.

表 2 设计结果分析

属性	数值
面积/mm ²	11. 18
标准单元数量	2 719 069
最大工作频率/MHz	533
最大数据率/(Mb/s)	2 133
功耗/W	1. 35
最大电压降/%	1. 96
最大电迁移/%	118
等价性检查/DRC/LVS	通过

5 结束语

本文阐述了某高性能 DSP 芯片中 DDR3 存储接口模块的物理设计工作,包括布局规划、时序分析等,在设计前期综合考虑了布线、时序、设计要求等多方面的因素,进行了合理的布局规划;在时序收敛阶段,分析了关键的时钟与路径结构并做出了针对性的人工规划,消除了各个模式下的时序违反并且满足设计文档的要求. 设计通过了等价性检查、DRC 和 LVS 验证,最终大小为 11.18 mm^2 ,功耗为 1.35 W ,设计频率为 533 MHz ,最大数据率为 $2\,133\text{ Mb/s}$.

参考文献:

- [1] JEDEC . DDR3 SDRAM SPECIFICATION, JESD793D [R]. 2010 .
- [2] 万轶. 高性能 DDR3 存储控制器的研究与实现[D]. 长沙:国防科学技术大学, 2008.
- [3] 彭陈. DDR3 存储控制器的设计与实现[D]. 长沙:国防科学技术大学, 2014.
- [4] 戴颀, 张浩, 杜丽, 等. 基于 SMIC40LL 工艺的 DDR 物理层 IP 设计[J]. 中国集成电路, 2013, 22(8): 18-22.

- [5] Krovvidy M, Sanaka V, Anand S, et al. DDR Timing closure: physical design and STA methodology[EB/OL]. [2016-02-09]. <http://citeseerx.ist.psu.edu/viewdoc/summary?doi=10.1.1.84.4088>.
- [6] Kang U, Chung H J, Heo S, et al. 8 Gb 3-D DDR3 DRAM using through-silicon-via technology[J]. Solid-State Circuits, IEEE Journal of, 2010, 45(1): 111-119.
- [7] Pang Y. Floorplanning algorithms for vlsi physical design automation[D]. San Diego: University of California, 2000.
- [8] Wu G, Jia S, Wang Y, et al. An efficient clock tree synthesis method in physical design[C]// Electron Devices and Solid-State Circuits, 2009. IEEE, 2009: 190-193.

作者简介:

裴秉玺 男,(1994-),硕士研究生.研究方向为集成电路物理设计. E-mail:1059654424@qq.com.

李振涛 男,(1976-),博士,副研究员.研究方向为集成电路设计.

黄东昌 男,(1988-),硕士.研究方向为集成电路物理设计.

郭阳 男,(1971-),博士,研究员.研究方向为集成电路设计.

(上接第 78 页)

- [3] Maróti M, Kusy B, Simon G, et al. The flooding time synchronization protocol[C]// Proceedings of the 2nd international conference on Embedded networked sensor systems. ACM, 2004: 39-49.
- [4] Sommer P, Wattenhofer R. Gradient clock synchronization in wireless sensor networks[C]// Proceedings of the 2009 International Conference on Information Processing in Sensor Networks. IEEE Computer Society, 2009: 37-48.
- [5] Noh K, Serpedin E, Qaraqe K. A new approach for time synchronization in wireless sensor networks: Pairwise broadcast synchronization[J]. IEEE Transactions on Wireless Communications, 2008, 7(9): 3318-3322.
- [6] Römer K, Blum P, Meier L. Time synchronization and calibration in wireless sensor networks[J]. Handbook of Sensor Networks: Algorithms and Architectures, 2005, 49: 199.

- [7] Wang F, Zeng P, Yu H. The design and realization of high-precision time synchronization protocol in wireless sensor networks based on FTSP[C]// Intelligent Control and Automation (WCICA), 2010 8th World Congress on. IEEE, 2010: 6983-6987.

- [8] 赵树杰, 赵建勋. 信号检测与估计理论[M]. 北京: 清华大学出版社, 2005: 323-332.

作者简介:

庄祎梦 女,(1991-). 硕士.研究方向为集成电路设计、无线通信. E-mail:yimeng169@163.com.

贺光辉 男,(1982-),博士,副教授.研究方向为无线通信和多媒体系统的信号处理和 VLSI 架构设计.

陈洪涛 男,(1976-),高级工程师.研究方向为电力环境保护、网源协调、涉网电厂的技术监督质量评价.

姜勇 男,(1967-). 硕士,高级工程师.研究方向为电测量、涉网电厂的技术监督质量评价.